

LOGIC GATE AND SEMICONDUCTOR DEVICE USING THE SAME

Patent Number: JP2001007696
Publication date: 2001-01-12
Inventor(s): MARUYAMA TETSUYA
Applicant(s): HITACHI LTD
Requested Patent: JP2001007696
Application Number: JP19990174842 19990622
Priority Number(s):
IPC Classification: H03K19/0944; H03K19/20
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide an NMOS logic gate with lower power than that of an ECL gate at a higher speed than that of a CMOS gate, that can be in use in a hybrid form with them and to provide a semiconductor device using the logic gate.

SOLUTION: An inverter gate consists of an NMOS switch MNS-1, consisting of an NMOS transistor(TR) and of a control load MPL-1 consisting of a PMOS TR whose voltage-current characteristic can be controlled with an on- characteristic of the NMOS TR of a bias circuit, and controls the logic threshold level of the control load MPL-1 to be stable or controls the operating speed to be optimum. In the case of a high speed operation (normal operation), a normal voltage is given to a gate as a gate control voltage VGG and the gate control voltage VGG close to a power supply voltage VDD is applied to the gate in a standby state or in a low speed operation, and the gate control voltage VGG is brought into a higher level than that in the standby state or the low speed operation in the case of testing IDDQ.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-7696

(P2001-7696A)

(43) 公開日 平成13年1月12日 (2001.1.12)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 3 K 19/0944		H 0 3 K 19/094	A 5 J 0 4 2
19/20		19/20	5 J 0 5 6

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21) 出願番号	特願平11-174842	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成11年6月22日 (1999.6.22)	(72) 発明者	丸山 徹也 東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内
		(74) 代理人	100080001 弁理士 筒井 大和
		Fターム (参考)	5J042 BA12 CA09 CA21 DA02 DA03 5J056 BB01 BB02 BB17 DD13 DD28 EE11 EE13 FF07 FF09 FF10

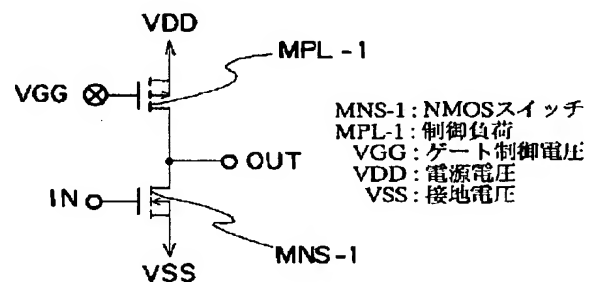
(54) 【発明の名称】 論理ゲートおよびそれを用いた半導体装置

(57) 【要約】

【課題】 ECLゲートより低電力で、CMOSゲートより高速で、両者と混在して使用可能なNMOSの論理ゲート、それを用いた半導体装置を提供する。

【解決手段】 インバータゲートであって、NMOSトランジスタからなるNMOSスイッチMNS-1と、バイアス回路のNMOSトランジスタのオン特性により電圧-電流特性が制御可能なPMOSトランジスタからなる制御負荷MPL-1とから構成され、制御負荷MPL-1を論理スレッシュホールドレベルが安定化されるように制御したり、あるいは動作速度が最適になるように制御する。高速動作（通常動作）時にはゲート制御電圧VGGに正規の電圧を与え、またスタンバイ時や低速動作時には、ゲート制御電圧VGGを電源電圧VDDに近づけ、さらにIDDQテスト時には、ゲート制御電圧VGGの電圧をスタンバイ時や低速動作時よりもさらに高電位にする。

図 1



【特許請求の範囲】

【請求項1】 入力信号により制御されるNMOSトランジスタからなるNMOSスイッチと、制御電圧が入力され、この制御電圧を生成するためのバイアス回路に含まれるNMOSトランジスタのオン特性により電圧-電流特性が制御可能な制御負荷とを有し、前記NMOSスイッチおよび前記制御負荷は電源電圧と接地電圧間に直列接続され、前記NMOSスイッチと前記制御負荷との接続ノードから出力信号が出力されることを特徴とする論理ゲート。

【請求項2】 請求項1記載の論理ゲートであって、前記制御負荷を、前記バイアス回路に含まれるNMOSトランジスタのばらつきに対して、前記論理ゲートの論理スレッシュホールドレベルが安定化されるように制御する手段を有することを特徴とする論理ゲート。

【請求項3】 請求項1記載の論理ゲートであって、前記制御負荷を、前記バイアス回路に含まれるNMOSトランジスタのばらつきに対して、前記論理ゲートの動作速度が最適になるように制御する手段を有することを特徴とする論理ゲート。

【請求項4】 請求項1、2または3記載の論理ゲートを用いた半導体装置であって、前記論理ゲートと、ECLゲートとの直接接続を含むことを特徴とする半導体装置。

【請求項5】 請求項1、2または3記載の論理ゲートを用いた半導体装置であって、前記論理ゲートと、CMOSゲートとの直接接続を含むことを特徴とする半導体装置。

【請求項6】 請求項4または5記載の半導体装置であって、スタンバイ時は、通常動作時に比べて前記制御電圧を前記電源電圧に近づけて、前記制御負荷の負荷抵抗を高抵抗にすることを特徴とする半導体装置。

【請求項7】 請求項4または5記載の半導体装置であって、IDDQテスト時は、スタンバイ時に比べて前記制御電圧を高電位にして、前記制御負荷の負荷抵抗をOFFにすることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、論理ゲートの回路技術に関し、特に論理ゲートの速度性能、電力性能の向上に好適は論理ゲートおよびそれを用いた半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】たとえば、本発明者が検討した技術として、論理ゲートには、速度性能に最も優れたECL(Emitter Coupled Logic)ゲート、集積性に最も優れたCMOS(Complementary Metal Oxide Semiconductor)ゲート、ECLゲートに比べて低電力で、CMOSゲートに比べて高速なBi-CMOS(Bipolar-CMOS)ゲートや、これらのECLゲート、CMOSゲートを混在し

た混在回路などがあり、これらの回路は目的に応じて選択されて用いられている。

【0003】なお、このような論理ゲートに関する技術としては、たとえば昭和59年11月30日、社団法人電子通信学会編、株式会社オーム社発行の「LSIハンドブック」P129～P158に記載される技術などが挙げられる。

【0004】

【発明が解決しようとする課題】ところで、前記のような各論理ゲートについて、本発明者が検討した結果、以下のようなことが明らかとなった。

【0005】(1).ECLゲート

ECLゲートは、速度性能に最も優れた論理ゲートではあるが、高速性を引き出す(狭振幅、安定な論理スレッシュホールドレベル、低出力インピーダンス)ために、高電力(3～4V電源+垂れ流し電流)、低集積密度(回路複雑、部品点数多、発熱密度制約)などの欠点がある。特に今後、集積度を向上していく場合は発熱が大きな問題になる。

20 【0006】(2).CMOSゲート

CMOSゲートは、集積性に最も優れた論理ゲートではあるが、ゲート入力容量大、大振幅、PMOSトランジスタも使用(遅い正孔による電流を用いるため)、ECLゲートに比べて論理機能が乏しいなどの理由により、速度性能がECLゲートに比べて大幅に劣る(約1/2以下)。

【0007】(3).Bi-CMOSゲート

Bi-CMOSゲートは、ECLゲートに比べて低電力で、CMOSゲートに比べて高速ではあるが、回路構成が複雑な割には速くない。

30 【0008】(4).ECLゲート・CMOSゲート混在回路

ECLゲート・CMOSゲート混在回路は、ECLレベル→CMOSレベル変換の高速動作が困難なため、ECLゲートの高速性を活かすためには、ECLゲートとCMOSゲートを細かなレベルで混在させることができない。直接、ECLレベルを受けられないのは、CMOSゲートの論理スレッシュホールドレベルがデバイスばらつきに対して大きく変動するためである。また、何らかの方法でデバイスを安定させたとしても、NMOSトランジスタ、PMOSトランジスタともに完全にOFFせず、リーク電流が発生してIDDQテスト(CMOS電源リークテスト)の妨げになる。

【0009】一般的なレベル変換回路が遅いのは、安定な論理スレッシュホールドレベルと信号増幅作用を得るために、差動増幅器とカレントミラー(カレントミラーは遅い、特にOFF動作は自らの電位を動かす電流が減少するためにとっても遅くなる)による構成をとるためである。そのため、ECLゲート部分とCMOSゲート部分

50 は、大きな切り分けが必要で、それぞれの特徴を活かし

た細かいレベルでの最適化ができないなどの問題点が考えられる。

【0010】そこで、本発明の目的は、論理ゲートの速度性能、電力性能に着目し、ECLゲートより低電力で、CMOSゲートより高速で、両者と混在して使用することができるNMOSの論理ゲート、およびそれを用いた半導体装置を提供するものである。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】すなわち、本発明による論理ゲートは、抵抗値が電氣的に信号レベルや速度的な最適値に制御された負荷を持つNMOS論理ゲートであり、入力信号により制御されるNMOSトランジスタからなるNMOSスイッチと、制御電圧が入力され、この制御電圧を生成するためのバイアス回路に含まれるNMOSトランジスタのオン特性により電圧-電流特性が制御可能な制御負荷とを有し、NMOSスイッチおよび制御負荷が電源電圧と接地電圧間に直列接続され、NMOSスイッチと制御負荷との接続ノードから出力信号が出力されるように構成されるものである。

【0014】この構成において、制御負荷を、バイアス回路に含まれるNMOSトランジスタのばらつきに対して、論理ゲートの論理スレッシュホールドレベルが安定化されるように制御したり、あるいは論理ゲートの動作速度が最適になるように制御する手段を有するものである。

【0015】また、本発明による半導体装置は、論理ゲートと、ECLゲートとの直接接続を含むように構成されたり、あるいは論理ゲートと、CMOSゲートとの直接接続を含むように構成されるものである。

【0016】この構成において、スタンバイ時には、通常動作時に比べて制御電圧を電源電圧に近づけて、制御負荷の負荷抵抗を高抵抗にして動作させ、またIDDQテスト時には、スタンバイ時に比べて制御電圧を高電位にして、制御負荷の負荷抵抗をOFFにするようにしたものである。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。図1および図2は本発明の一実施の形態である論理ゲートを示す回路図、図3および図4は本実施の形態において、論理ゲートのバイアス回路を示す回路図、図5および図6は論理ゲートの変形例を示す回路図、図7はバイアス回路の変形例を示す回路図、図8および図9は複合型の論理ゲートを示す回路図、図10および図11は図8および図9の等価論理を示す論理図、図12はIDDQテスト方式のバイアス回

路を示す回路図、図13はスタンバイ方式のバイアス回路を示す回路図、図14は本実施の形態の論理ゲートを用いたLSIを示す論理図である。

【0018】まず、図1および図2により、本実施の形態の論理ゲートの構成の一例を説明する。図1はインバータゲート(NMOS-INV)、図2は2入力否定論理和ゲート(NMOS-NOR)をそれぞれ示す。

【0019】図1に示すインバータゲートは、NMOSトランジスタからなるNMOSスイッチMNS-1と、バイアス回路のNMOSトランジスタのオン特性により電圧-電流特性が制御可能なPMOSトランジスタからなる制御負荷MPL-1とから構成され、NMOSスイッチMNS-1および制御負荷MPL-1が電源電圧VDDと接地電圧VSSとの間に直列接続され、NMOSスイッチMNS-1と制御負荷MPL-1との接続ノードから出力信号OUTが出力されるように構成されている。

【0020】NMOSスイッチMNS-1のNMOSトランジスタは、ゲートに入力される入力信号INにより制御され、ソースが接地電圧VSSに、ドレインが制御負荷MPL-1のPMOSトランジスタのドレインにそれぞれ接続されている。制御負荷MPL-1のPMOSトランジスタは、ゲートに入力されるゲート制御電圧VGGにより制御され、ソースが電源電圧VDDに、ドレインがNMOSスイッチMNS-1のNMOSトランジスタのドレインにそれぞれ接続されている。このNMOSスイッチMNS-1と制御負荷MPL-1との共通接続されたドレインから出力信号OUTが取り出される。

【0021】図2に示す2入力否定論理和ゲートは、NMOSトランジスタからなるNMOSスイッチMNS-21、MNS-22と、バイアス回路のNMOSトランジスタのオン特性により電圧-電流特性が制御可能なPMOSトランジスタからなる制御負荷MPL-2とから構成され、並列接続されたNMOSスイッチMNS-21、MNS-22および制御負荷MPL-2とが電源電圧VDDと接地電圧VSSとの間に直列接続され、NMOSスイッチMNS-21、MNS-22と制御負荷MPL-2との接続ノードから出力信号OUTが出力されるように構成されている。

【0022】NMOSスイッチMNS-21のNMOSトランジスタは、ゲートに入力される入力信号IN1により制御され、ソースが接地電圧VSSに、ドレインが制御負荷MPL-2のPMOSトランジスタのドレインにそれぞれ接続されている。NMOSスイッチMNS-22のNMOSトランジスタは、ゲートに入力される入力信号IN2により制御され、ソースが接地電圧VSSに、ドレインが制御負荷MPL-2のPMOSトランジスタのドレインにそれぞれ接続されている。制御負荷MPL-2のPMOSトランジスタは、ゲートに入力されるゲート制御電圧VGGにより制御され、ソースが電源

電圧VDDに、ドレインがNMOSスイッチMNS-21、MNS-22のNMOSトランジスタのドレインにそれぞれ接続されている。このNMOSスイッチMNS-21、MNS-22と制御負荷MPL-2との共通接続されたドレインから出力信号OUTが取り出される。

【0023】なお、図2のような否定論理ゲートの場合には、同様に、NMOSスイッチMNS-21、MNS-22にNMOSスイッチを並列に接続して、3入力否定論理ゲートを構成することができ、このようにNMOSスイッチMNS-xの並列数を増やせば、3入力

以上の否定論理ゲートを構成することも可能である。
【0024】前記図1のインバータゲート、前記図2の否定論理ゲートのゲート制御電圧VGGは、図3、図4に示すようなバイアス回路によって生成される。図3のバイアス回路を使用すれば、入力論理スレッシュホールドレベルが安定するため、ECLレベルなどの狭振幅信号を安定に直接受け取ることができる。図4のバイアス回路を使用すれば、出力立ち上がり時の駆動能力と、出力立ち下がり時の駆動能力がほぼ等しくなり、より高速動作が可能になる。

【0025】図3に示すバイアス回路は、NMOSトランジスタMNB-3と、PMOSトランジスタMPB-3とから構成されている。NMOSトランジスタMNB-3は、ゲートに入力されるバイアス電圧VBBにより制御され、ソースが接地電圧VSSに、ドレインがPMOSトランジスタMPB-3のドレインにそれぞれ接続されている。PMOSトランジスタMPB-3は、ソースが電源電圧VDDに、ゲートおよびドレインが共通にNMOSトランジスタMNB-3のドレインにそれぞれ接続されている。このNMOSトランジスタMNB-3とPMOSトランジスタMPB-3との共通接続されたドレインからゲート制御電圧VGGが取り出される。

【0026】図4に示すバイアス回路は、NMOSトランジスタMNB-4と、並列接続されたPMOSトランジスタMPB-41、MPB-42とから構成されている。NMOSトランジスタMNB-4は、ゲートに入力される電源電圧VDDにより制御され、ソースが接地電圧VSSに、ドレインがPMOSトランジスタMPB-41、MPB-42のドレインにそれぞれ接続されている。PMOSトランジスタMPB-41、MPB-42は、ソースが電源電圧VDDに、ゲートおよびドレインが共通にNMOSトランジスタMNB-4のドレインにそれぞれ接続されている。このNMOSトランジスタMNB-4とPMOSトランジスタMPB-41、MPB-42との共通接続されたドレインからゲート制御電圧VGGが取り出される。

【0027】次に、図5および図6により、論理ゲートの変形例として、2入力否定論理積ゲート(NMOS-NAND)の構成の一例を説明する。図5、図6は、前記図2に対してNMOSスイッチMNS-xが直列に接

続されている。また、図5は簡易型で、バイアス回路は前記図1、図2のインバータゲートと共通化できるが、負荷抵抗(制御負荷MPL-51、MPL-52で構成)が論理スレッシュホールドレベルや速度に対する最適値からずれてしまうために論理ゲートとしての性能は損なわれる。これに対して図6は、専用のバイアス回路(一例を図7に示す)が必要であるが、負荷抵抗を最適値に保つことができ、論理ゲートとしての性能はよい。

【0028】図5に示す2入力否定論理積ゲートは、直列接続されたNMOSトランジスタからなるNMOSスイッチMNS-51、MNS-52と、バイアス回路のNMOSトランジスタのオン特性により電圧-電流特性が制御可能な直列接続されたPMOSトランジスタからなる制御負荷MPL-51、MPL-52とから構成されている。NMOSスイッチMNS-51、MNS-52のNMOSトランジスタは、それぞれ入力信号IN1、IN2によりゲート制御され、NMOSスイッチMNS-51のNMOSトランジスタのドレインが制御負荷MPL-51のPMOSトランジスタのドレインに、NMOSスイッチMNS-52のNMOSトランジスタのソースが接地電圧VSSにそれぞれ接続されている。制御負荷MPL-51、MPL-52のPMOSトランジスタは、ゲート制御電圧VGGによりゲート制御され、制御負荷MPL-51のPMOSトランジスタのドレインがNMOSスイッチMNS-51のNMOSトランジスタのドレインに、制御負荷MPL-52のPMOSトランジスタのソースが電源電圧VDDにそれぞれ接続されている。このNMOSスイッチMNS-51と制御負荷MPL-51との共通接続されたドレインから出力信号OUTが取り出される。

【0029】図6に示す2入力否定論理積ゲートは、直列接続されたNMOSトランジスタからなるNMOSスイッチMNS-61、MNS-62と、バイアス回路のNMOSトランジスタのオン特性により電圧-電流特性が制御可能なPMOSトランジスタからなる制御負荷MPL-6とから構成されている。前記図5に比べて、PMOSトランジスタからなる制御負荷MPL-6が1個からなり、この制御負荷MPL-6のPMOSトランジスタのゲートに別のゲート制御電圧VGG2が入力される以外は、同様の接続となっている。

【0030】前記図6の2入力否定論理積ゲートに専用の、図7に示すバイアス回路は、直列接続されたNMOSトランジスタMNB-71、MNB-72と、並列接続されたPMOSトランジスタMPB-71、MPB-72とから構成されている。NMOSトランジスタMNB-71、MNB-72は、電源電圧VDDによりゲート制御され、NMOSトランジスタMNB-71のドレインがPMOSトランジスタMPB-71、MPB-72のドレインに、NMOSトランジスタMNB-72のソースが接地電圧VSSにそれぞれ接続されている。P

MOSTランジスタMPB-71, MPB-72は、ソースが電源電圧VDDに、ゲートおよびドレインが共通にNMOSTランジスタMNB-71のドレインにそれぞれ接続されている。このNMOSTランジスタMNB-71とPMOSTランジスタMPB-71, MPB-72との共通接続されたドレインからゲート制御電圧VGG2が取り出される。

【0031】次に、図8および図9により、複合型の論理ゲートの構成の一例を説明する。この図8、図9の等価論理を図10、図11にそれぞれ示す。図8、図9の負荷抵抗(制御負荷MPL-81, MPL-82, MPL-91, MPL-92で構成)は、前記図5、図6の制御負荷MPL-51, MPL-52, MPL-6との関係と同様に、ゲートに制御電圧VGG2の電圧が与えられた単一のPMOSTランジスタと置き換えることで、論理ゲートとしての性能を向上させることもできる。

【0032】図8に示す複合ゲートは、図10のように、入力信号IN11, IN12が入力される2入力論理積ゲートAND-81、入力信号IN21, IN22が入力される2入力論理積ゲートAND-82、この2つの2入力論理積ゲートAND-81, AND-82の出力が入力信号として入力される2入力否定論理和ゲートNOR-8からなり、2入力否定論理和ゲートNOR-8から出力信号OUTが出力されるように構成されている。

【0033】具体的に、図8に示す複合ゲートは、直列接続されたNMOSTランジスタからなるNMOSスイッチMNS-811, MNS-812と、これに並列接続され、直列接続されたNMOSTランジスタからなるNMOSスイッチMNS-821, MNS-822と、バイアス回路のNMOSTランジスタのオン特性により電圧-電流特性が制御可能な直列接続されたPMOSTランジスタからなる制御負荷MPL-81, MPL-82とから構成されている。NMOSスイッチMNS-811, MNS-812のNMOSTランジスタは、それぞれ入力信号IN11, IN12によりゲート制御され、NMOSスイッチMNS-811のNMOSTランジスタのドレインが制御負荷MPL-81のPMOSTランジスタのドレインに、NMOSスイッチMNS-812のNMOSTランジスタのソースが接地電圧VSSにそれぞれ接続されている。NMOSスイッチMNS-821, MNS-822のNMOSTランジスタは、それぞれ入力信号IN21, IN22によりゲート制御され、NMOSスイッチMNS-821のNMOSTランジスタのドレインが制御負荷MPL-81のPMOSTランジスタのドレインに、NMOSスイッチMNS-822のNMOSTランジスタのソースが接地電圧VSSにそれぞれ接続されている。制御負荷MPL-81, MPL-82のPMOSTランジスタは、ゲート制御電圧

VGGによりゲート制御され、制御負荷MPL-81のPMOSTランジスタのドレインがNMOSスイッチMNS-811, MNS-821のNMOSTランジスタのドレインに、制御負荷MPL-82のPMOSTランジスタのソースが電源電圧VDDにそれぞれ接続されている。このNMOSスイッチMNS-811, MNS-821と制御負荷MPL-81との共通接続されたドレインから出力信号OUTが取り出される。

【0034】図9に示す複合ゲートは、図11のように、入力信号IN11, IN21が入力される2入力論理和ゲートOR-91、入力信号IN12, IN22が入力される2入力論理和ゲートOR-92、この2つの2入力論理和ゲートOR-91, OR-92の出力が入力信号として入力される2入力否定論理積ゲートNAND-9からなり、2入力否定論理積ゲートNAND-9から出力信号OUTが出力されるように構成されている。

【0035】具体的に、図9に示す複合ゲートは、直列接続されたNMOSTランジスタからなるNMOSスイッチMNS-911, MNS-912と、これに並列接続され、直列接続されたNMOSTランジスタからなるNMOSスイッチMNS-921, MNS-922と、バイアス回路のNMOSTランジスタのオン特性により電圧-電流特性が制御可能な直列接続されたPMOSTランジスタからなる制御負荷MPL-91, MPL-92とから構成されている。前記図8に比べて、直列接続されたNMOSスイッチMNS-911のNMOSTランジスタのソースとNMOSスイッチMNS-912のNMOSTランジスタのドレインとの接続ノードと、直列接続されたNMOSスイッチMNS-921のNMOSTランジスタのソースとNMOSスイッチMNS-922のNMOSTランジスタのドレインとの接続ノードとが接続されている以外は、同様の接続となっている。

【0036】次に、本実施の形態の作用について、以上のように構成されたNMOSの論理ゲートを含むLSIの動作の概要を説明する。

【0037】たとえば、高速動作(通常動作)時には、前記図1、図2、図5、図6、図8、図9に示したNMOSゲートに対して、ゲート制御電圧VGGに正規の電圧(たとえば1V)を与える。これにより、高速動作を可能とすることができる。また、スタンバイ時や、低速動作時には、ゲート制御電圧VGGを電源電圧VDD

(たとえば2V)に近づける(たとえば1.7V)。これにより、電力低減を行うことができる。さらに、IDDQテスト時には、ゲート制御電圧VGGの電圧を、スタンバイ時や、低速動作時よりもさらに高電位(たとえば1.9V)にする。これにより、一般、CMOSゲートのリーク電流の測定を可能とすることができる。

【0038】このIDDQテストを行う際には、たとえば図12に示すようなバイアス回路を用いる。IDDQ

テスト時には、制御信号IDDQCをLレベルからHレベルに切り替えて、ゲート制御電圧VGGの電位をほぼ電源電圧VDDと同程度の電位にすることで、制御負荷をOFFさせ、NMOSゲートと混在するCMOSゲートの高精度なIDDQテストを実現することができる。

【0039】図12に示すバイアス回路は、NMOSTランジスタMNB-121~MNB123と、PMOSTランジスタMPB-121~MPB-124とから構成されている。NMOSTランジスタMNB-122, MNB-123, PMOSTランジスタMPB-122, MPB-123は、制御信号IDDQCによりゲート制御される。NMOSTランジスタMNB-121は、PMOSTランジスタMPB-122とNMOSTランジスタMNB-122との接続ノードに接続されてゲート制御される。PMOSTランジスタMPB-124は、PMOSTランジスタMPB-123とNMOSTランジスタMNB-123との接続ノードに接続されてゲート制御される。PMOSTランジスタMPB-121は、PMOSTランジスタMPB-124のドレインに接続されてゲート制御される。NMOSTランジスタMNB-121とPMOSTランジスタMPB-121との共通接続されたドレインからゲート制御電圧VGGが取り出される。

【0040】また、スタンバイ時には、図13に示すようなバイアス回路を用いる。このスタンバイ時には、制御信号STAMBYCをLレベルからHレベルに切り替えて、ゲート制御電圧VGGの電位を電源電圧VDDの電位に近づけ、制御負荷の抵抗値を増大させ、NMOSゲートの低電力化を行うことができる。

【0041】図13に示すバイアス回路は、NMOSTランジスタMNB-131~MNB135と、PMOSTランジスタMPB-131~MPB-134とから構成されている。NMOSTランジスタMNB-134, MNB-135, PMOSTランジスタMPB-134は、制御信号STAMBYCによりゲート制御される。NMOSTランジスタMNB-131~MNB-133は、PMOSTランジスタMPB-134とNMOSTランジスタMNB-134との接続ノードに接続されてゲート制御される。PMOSTランジスタMPB-131~MPB-133は、NMOSTランジスタMNB-135のドレインに接続されてゲート制御される。NMOSTランジスタMNB-133とPMOSTランジスタMPB-133との共通接続されたドレインからゲート制御電圧VGGが取り出される。

【0042】次に、図14により、以上のように構成されたNMOSゲートを含むLSIの構成の一例を説明する。

【0043】図14に示すLSIは、たとえばプロセッサからなり、ECLゲートG1~G6と、NMOSゲートG7~G9と、CMOSゲートG10とから構成され

ている。このLSIにおいては、論理ゲートG1~G6からなるバスは、論理段数が多く、高速性が要求されるため、ECLゲートを使用する。論理ゲートG7~G9を含むバスG1~G7~G9-G6は、論理段数が比較的少なく、論理ゲートG7~G9はNOR論理であるので、論理ゲートG7~G9にはNMOSゲートを使用する。論理ゲートG10を含むバスG1~G7~G10-G6は、さらに論理段数が少なく、論理ゲートG10の前段がNMOSゲートであるので、論理ゲートG10にはCMOSゲートを使用する。

【0044】このように、「高速性を要求されるバスにはECLゲート」、「低速でもよいバスにはCMOSゲート」、「ECLレベルからCMOSレベルへの接続部や、CMOSゲートよりは高速性が要求されるNOR論理部にはNMOSゲート」を使用することで、LSI全体の電力を削減することができる。

【0045】たとえば、平均ゲート電力を、ECLゲート=2mW、NMOSゲート=1mW、CMOSゲート=0.1mWとし、また平均ゲート速度を、ECLゲート=20ps、NMOSゲート=30ps、CMOSゲート=40psと仮定した場合に、図14の構成が、(1).ECLゲートのみだと、tpd(バスディレイ)=120ps、P(電力)=20mWとなる。

【0046】(2).NMOSゲート、ECLゲート、CMOSゲートを混在させた場合は、tpd=130ps、P=15.1mWとなる。ECLゲートのみの場合とほぼ同等の速度のまま、電力を削減できる。

【0047】(3).CMOSゲートのみだと、tpd=240ps、P=2mWとなる。最も電力は小さくなるが、速度も遅い。

【0048】なお、ECLゲート、NMOSゲートおよびCMOSゲートの混在LSIに限らず、ECLゲートとNMOSゲートとの混在の場合には、高速部や複雑な論理ゲートにはECLゲートを使用し、NMOSゲートに置き換えられる部分(低速でもかまわない部分)にはNMOSゲートを使用する。また、NMOSゲート、CMOSゲートの混在の場合は、クリティカルバスのNOR論理のみにNMOSゲートを使用し、他はCMOSゲートを使用する。

【0049】従って、本実施の形態によれば、NMOSTランジスタからなるNMOSスイッチMNSに、抵抗値が電氣的に信号レベルや速度的な最適値に制御されたPMOSTランジスタからなる制御負荷MPLを持つNMOSゲートを有し、制御負荷MPLを論理スレッシュホールドレベルが安定化されるように制御したり、あるいは動作速度が最適になるように制御することで、以下のような効果を得ることができる。

【0050】(1).抵抗値が電氣的に最適値に制御された制御負荷MPLを、ゲート電圧が制御されたPMOSTランジスタのON抵抗から得ることで、CMOSゲート

と同等の部品と、同等の部品の割合（PMOSTランジスタとNMOSTランジスタ）で構成することができ。唯一、追加されるものは、ゲート電圧を制御する制御回路であるが、これは複数ゲートで共通の回路を使用することにより、オーバーヘッドを最小に抑えられる。また、スイッチング動作を行わせているのはNMOSTランジスタのみで、論理信号の動きから見るとPMOSTランジスタはただの負荷抵抗として動作しているのみである。

【0051】(2).入力容量がNMOSスイッチMNSのNMOSTランジスタのゲート容量のみになるため、論理ゲートとしての入力容量が数分の1に低減できる（通常のCMOSゲートの入力容量はNMOSTランジスタのゲート容量+PMOSTランジスタのゲート容量であり、PMOSTランジスタのゲート容量は、NMOSTランジスタのゲート容量の2倍前後の値である）。そのため、次段の入力容量も考慮した場合のゲート1段当たりの動作速度が速い。

【0052】(3).制御負荷MPLの抵抗値を、NMOSTランジスタのON抵抗に従って制御することで、入力論理スレッショルドレベルを制御可能である。狭振幅論理レベルであっても、直接受けることができる。

【0053】(4).前記図4に示すようなバイアス回路による速度最適化制御により、立ち上がり速度と立ち下がり速度をほぼ同一にでき、かつ速度のばらつきはほぼNMOSTランジスタの特性ばらつきのみによる（配線容量や、PMOSTランジスタのドレイン寄生容量の影響も若干はあるが、PMOSTランジスタの駆動力ばらつきの影響はほとんどない）。

【0054】(5).CMOSゲートと部品が同一で、CMOSゲートと必要部品数がほぼ同一で、ECLレベルを直に受けることができるため、ECLゲートとCMOSゲートの混在が容易になる。

【0055】(6).ECLゲートに比べて電源電位差が小さい（3～4V→2V）。Hレベル出力時は電力はほぼ0である。

【0056】(7).NMOSゲート部の、動作モードに応じた電力低減が容易である。

【0057】(8).CMOSゲートの若干とするNOR論理（PMOSTランジスタが直列接続）に対し、高速なゲートが提供できる。

【0058】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0059】たとえば、前記実施の形態においては、ECLゲート、NMOSゲート、CMOSゲート混在のプロセッサからなるLSIについて説明したが、特に高速なCMOSゲートベースのLSIに効果的であり、さらに

高速なECLゲート・CMOSゲート混在LSIなどに広く応用することができる。

【0060】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0061】(1).NMOSスイッチと、電圧-電流特性が制御可能な制御負荷とを有してNMOSの論理ゲートを構成することで、CMOSゲートよりも高速動作が可能で、かつCMOSゲートと同一の部品（すなわち、同一プロセス、同一拡散下地）で構成することが可能となる。

【0062】(2).前記(1)のようにNMOSの論理ゲートを構成することで、ECLゲートなどの狭振幅論理レベルを直接受けることができ、かつECLゲートよりも低電力が可能となる。

【0063】(3).NMOSゲートをCMOSゲートと混在させれば、クリティカルパスにNMOSゲートを適用することで、クリティカルパスを容易に対策することが可能となる。

【0064】(4).NMOSゲートをECLゲートと混在させれば、速度性能をさほど必要としない部分を容易に低電力化することが可能となる。

【0065】(5).NMOSゲートをCMOSゲート、ECLゲートと混在させれば、前記(3),(4)の効果の他に、ECLレベルからCMOSレベルへの変換を高速、かつ容易に実現することが可能となる。

【0066】(6).前記(1)～(5)により、ECLゲートより低電力で、かつCMOSゲートより高速なNMOSゲートを構成することができ、このNMOSゲートと、CMOSゲート、ECLゲートとを混在した半導体装置全体の低電力化、高速化を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である論理ゲート（インバータゲート）を示す回路図である。

【図2】本発明の一実施の形態である論理ゲート（2入力否定論理和ゲート）を示す回路図である。

【図3】本発明の一実施の形態において、論理ゲートのバイアス回路（スレッショルドレベル安定化構成）を示す回路図である。

【図4】本発明の一実施の形態において、論理ゲートのバイアス回路（速度最適化構成）を示す回路図である。

【図5】本発明の一実施の形態において、論理ゲートの変形例を示す回路図である。

【図6】本発明の一実施の形態において、論理ゲートの他の変形例を示す回路図である。

【図7】本発明の一実施の形態において、バイアス回路の変形例を示す回路図である。

【図8】本発明の一実施の形態において、複合型の論理ゲートを示す回路図である。

【図9】本発明の一実施の形態において、複合型の他の論理ゲートを示す回路図である。

【図10】本発明の一実施の形態において、図8の等価論理を示す論理図である。

【図11】本発明の一実施の形態において、図9の等価論理を示す論理図である。

【図12】本発明の一実施の形態において、IDDQテスト方式のバイアス回路を示す回路図である。

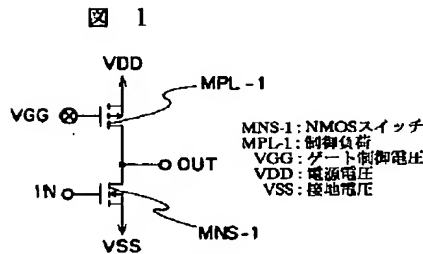
【図13】本発明の一実施の形態において、スタンバイ方式のバイアス回路を示す回路図である。

【図14】本発明の一実施の形態の論理ゲートを用いたLSIを示す論理図である。

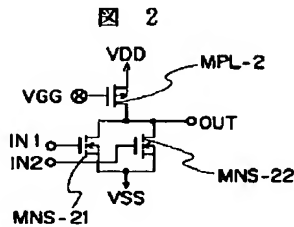
*【符号の説明】

MNS NMOSスイッチ
MPL 制御負荷
MNB NMOSトランジスタ
MPB PMOSTランジスタ
AND 2入力論理積ゲート
NOR 2入力否定論理和ゲート
OR 2入力論理和ゲート
NAND 2入力否定論理積ゲート
G1~G6 ECLゲート
G7~G9 NMOSゲート
* G10 CMOSゲート

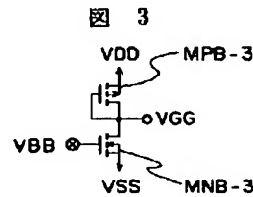
【図1】



【図2】



【図3】



【図7】

【図6】

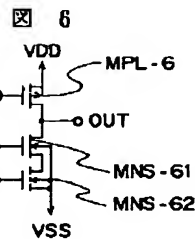
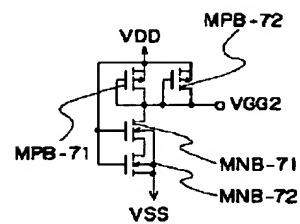
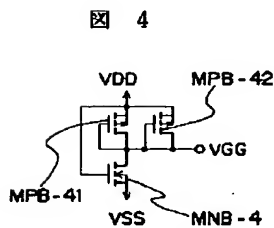


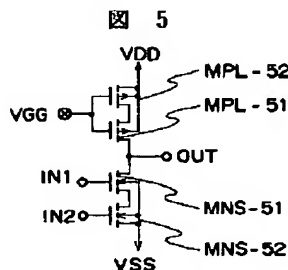
図 7



【図4】

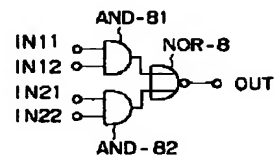


【図5】

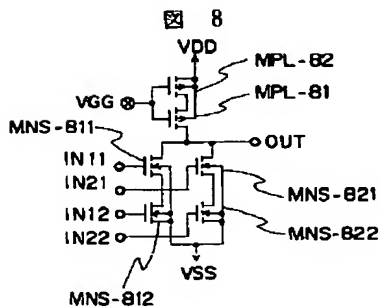


【図10】

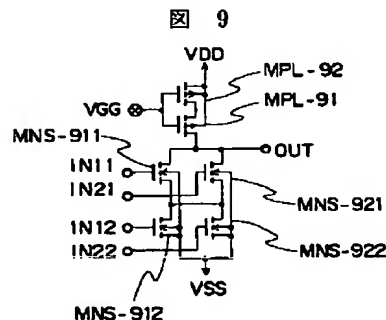
図 10



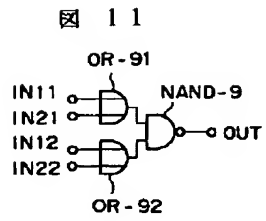
【図8】



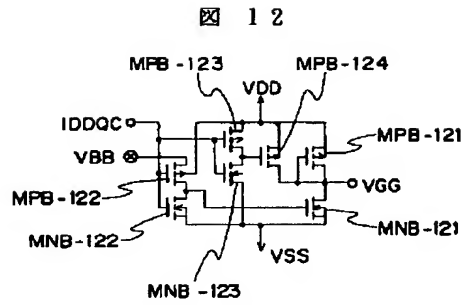
【図9】



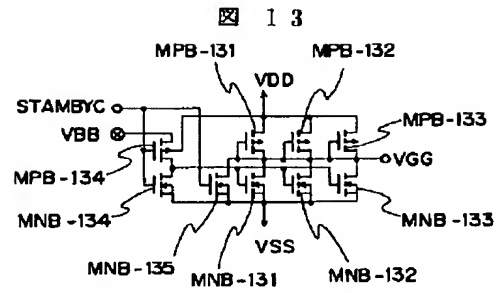
【図11】



【図12】



【図13】



【図14】

図 14

